

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

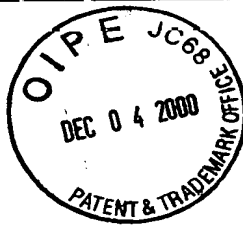
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



42-010400

520.39251X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): YAMAGUCHI, et al.  
Serial No.: 09/698,274  
Filed: October 30, 2000  
Title: SEMICONDUCTOR DEVICE, METHOD OF MAKING THE  
SAME AND LIQUID CRYSTAL DISPLAY DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

December 4, 2000

Sir:

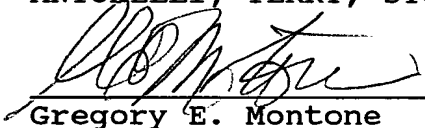
Under the provisions of 35 USC 119 and 37 CFR 1.55, the  
applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No. 11-309499  
Filed: October 29, 1999

A certified copy of said Japanese Patent Application is  
attached.

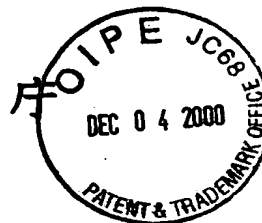
Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
\_\_\_\_\_  
Gregory E. Montone  
Registration No. 28,141

GEM/ssr  
Attachment

日 本 国 特 許  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1999年10月29日

出 願 番 号  
Application Number:

平成11年特許願第309499号

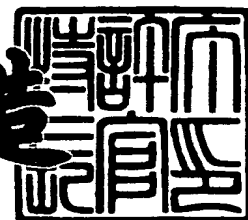
出 願 人  
Applicant(s):

株式会社日立製作所

2000年10月20日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3086893

【書類名】 特許願

【整理番号】 PNT990756

【提出日】 平成11年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/336  
H01L 21/20  
H01L 27/12

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社  
日立製作所 中央研究所内

【氏名】 山口 伸也

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社  
日立製作所 中央研究所内

【氏名】 宮尾 正信

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社  
日立製作所 中央研究所内

【氏名】 杉井 信之

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社  
日立製作所 中央研究所内

【氏名】 朴 成基

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社  
日立製作所 中央研究所内

【氏名】 中川 清和

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、その製造方法及び液晶表示装置

【特許請求の範囲】

【請求項 1】

ダイヤモンド構造の { 1 1 1 } 双晶境界で接合された複数の半導体結晶粒を有する半導体領域と該半導体領域の表面を絶縁膜を介して覆うゲート電極とからなることを特徴とする半導体装置。

【請求項 2】

絶縁体；該絶縁体上部に設けられ一主表面を有する半導体層、該半導体層は複数の半導体結晶粒を有し、該複数の半導体結晶粒は { 1 1 0 } 面を有しその界面が { 1 1 1 } 双晶境界で接合され、かつ上記 { 1 1 0 } 面で上記主表面を構成している；及び上記半導体層の上記主表面を絶縁膜を介して覆うゲート電極；からなることを特徴とする半導体装置。

【請求項 3】

絶縁体；該絶縁体上部に設けられて、互いに離間するソース領域とドレイン領域とを有する薄膜半導体層；上記ソース領域と上記ドレイン領域との間の上記半導体層の一表面を被覆するゲート絶縁膜；及び該ゲート絶縁膜の上に設けられたゲート電極からなる薄膜半導体装置において、上記ソース領域と上記ドレイン領域との間の上記半導体層はダイヤモンド構造の { 1 1 1 } 双晶境界で接合された複数の半導体結晶粒で構成された電流通路を有することを特徴とする薄膜半導体装置。

【請求項 4】

絶縁体と、該絶縁体上に形成された多結晶薄膜と、該多結晶薄膜表面部に形成されたソース領域、ドレイン領域、ゲート電極、該ゲート電極と協働関係にあるチャネル領域からなるトランジスタとを有し、該多結晶薄膜は IV 属元素単独若しくはそれら元素の混合物からなる結晶粒で構成され、それらの結晶粒界がダイヤモンド構造の { 1 1 1 } 双晶であることを特徴とする薄膜半導体装置。

【請求項 5】

前記ソース領域と前記ドレイン領域とを結ぶ少なくとも一つの電流経路において

、該電流経路を横切る結晶粒界の少なくとも一つが上記ダイヤモンド構造の{111}双晶であることを特徴とする請求項4記載の薄膜半導体装置。

【請求項6】

前記絶縁体はガラス基板であり、前記多結晶薄膜はSi薄膜であり、該Si薄膜は膜厚10～150nmを有し、かつ該Si薄膜は基板表面に平行な{110}面を持つ複数の結晶粒を有していることを特徴とする請求項4又は5記載の薄膜半導体装置。

【請求項7】

前記チャネル領域において、前記{111}双晶の接合を持った2面乃至5面の粒界が前記絶縁体に平行な{110}面を持ち、かつ前記多結晶薄膜上の一点において結合した構造を少なくとも一つ持つことを特徴とする請求項4又は5記載の薄膜半導体装置。

【請求項8】

前記多結晶薄膜はn層(nは1以上)の半導体薄膜を積層させた構造とされ、該第n番目の半導体薄膜表面部に上記ソース領域、ドレイン領域、チャネル領域、ゲート電極からなるトランジスタが形成され、第k番目(k=1～n)の半導体薄膜は、kの値が大きくなるに従って結晶粒の大きな前記多結晶を有し、第n番目の半導体薄膜の結晶粒界が前記ダイヤモンド構造の{111}双晶であることを特徴とする請求項4又は5記載の薄膜半導体装置。

【請求項9】

絶縁体と、該絶縁体上に形成された半導体薄膜と、該半導体薄膜の表面部に形成されたソース領域、ドレイン領域、チャネル領域、ゲート電極部からなるトランジスタとを有し、上記半導体薄膜はIV属元素の非晶質領域と前記ソース領域と前記ドレイン領域とを結ぶ細長い枝状のIV属元素の結晶領域とを有することを特徴とする薄膜半導体装置。

【請求項10】

前記枝状結晶領域によって形成される前記ソース領域と前記ドレイン領域とを結ぶ少なくとも一つの電流経路上において、該経路を横切る結晶粒界の少なくとも一つが、ダイヤモンド構造の{111}双晶であることを特徴とする請求項9記

載の薄膜半導体装置。

【請求項 1 1】

前記枝状結晶領域は上記基板表面に平行な  $\{110\}$  面と該枝の長軸に垂直な  $\{111\}$  面を持つ一つの細長い単結晶粒から複数に分岐したものであり、該複数の分岐した枝どうしは、 $39.0^\circ$ 、 $70.5^\circ$ 、 $109.5^\circ$ のいずれかの角度で接合し、その接合面がダイヤモンド構造の  $\{111\}$  双晶となっていることを特徴とする請求項 9 又は 10 記載の薄膜半導体装置。

【請求項 1 2】

前記チャネル領域において、前記  $\{111\}$  双晶の接合を持った 2 面乃至 5 面の結晶粒が前記絶縁体表面に平行な  $\{110\}$  面を持ち、かつ前記枝状結晶の一点において結合した構造を少なくとも一つ有することを特徴とする請求項 9 又は 10 記載の薄膜半導体装置。

【請求項 1 3】

前記半導体薄膜は  $n$  層 ( $n$  は 1 以上) の半導体薄膜を積層させた構造で構成され、該  $n$  番目の半導体薄膜の表面部に前記ソース領域、ドレイン領域、チャネル領域、ゲート電極部が形成されたトランジスタとを有し、第  $k$  番目 ( $k = 1 \sim n$ ) の半導体薄膜は、 $k$  の値が大きくなるに従って前記枝状結晶の太さ、長さが増し、第  $n$  番目の半導体薄膜の結晶粒界がダイヤモンド構造の  $\{111\}$  双晶であることを特徴とする請求項 9 又は 10 記載の薄膜半導体装置。

【請求項 1 4】

絶縁体基板と、該絶縁体基板上に形成された多結晶半導体薄膜と、該多結晶半導体薄膜の表面部に形成されたソース領域、ドレイン領域、チャネル領域、ゲート電極部からなるトランジスタとを有し、該多結晶薄膜は IV 属元素の結晶若しくはその混晶からなる結晶であり、該多結晶薄膜の結晶粒界がダイヤモンド構造の  $\{111\}$  双晶であり、該多結晶薄膜において上記トランジスタのチャネル領域近傍に、Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ru, Rh, Pd, Ag, Os, Ir, Pt, Au の何れか若しくはそれらの合金からなる金属 M、若しくは該金属 M と前記 IV 属元素の化合物  $M_xA_y$  (A は前記 IV 属元素、 $x$  と  $y$  は M と A との混晶比)、若しくは該金属 M と上記 IV 属元素の積層構造



からなる成長核金属層を有することを特徴とする薄膜半導体装置。

【請求項 1 5】

絶縁体の上部に設けられた半導体薄膜層と該半導体薄膜層に形成された絶縁ゲート型半導体素子とからなり、上記半導体素子の周辺に位置する上記半導体薄膜層にはその断面積が他の部分よりも小さくされた絞り部が設けられて成ることを特徴とする薄膜半導体装置。

【請求項 1 6】

絶縁体；該絶縁体上部に設けられて、互いに離間するソース領域とドレイン領域とを有する薄膜半導体層；上記ソース領域と上記ドレイン領域との間の上記半導体層の一表面を被覆するゲート絶縁膜；及び該ゲート絶縁膜を介して上記半導体層から分離して設けられたゲート電極からなる薄膜半導体装置において、上記ソース領域と上記ドレイン領域との間の上記半導体層は  $10 \sim 150 \text{ nm}$  の厚さを有し、 $260 \sim 500 \text{ cm}^2 / (\text{V} \cdot \text{s})$  の電子移動度を有する多結晶表面を有していることを特徴とする絶縁ゲート型薄膜半導体装置。

【請求項 1 7】

上記請求項 1 6 記載の薄膜半導体装置を複数個一つの上記絶縁体上に集積したことを特徴とする薄膜半導体集積回路装置。

【請求項 1 8】

液晶表示用画素部を構成し第 1 の複数の薄膜トランジスタからなる第 1 の薄膜集積回路と上記画素部を駆動する周辺回路を構成し第 2 の複数の薄膜トランジスタからなる第 2 の薄膜集積回路とが一つの絶縁基板上部に設けられた半導体薄膜に一体的に形成され、上記第 1 及び第 2 の薄膜集積回路を構成する上記各薄膜トランジスタはそのソースとドレインとの間にダイヤモンド構造の  $\{111\}$  双晶境界で接合された複数の半導体結晶粒で構成された半導体活性領域を有しており、上記第 1 の薄膜集積回路の上部に液晶部材が設けられてなることを特徴とする液晶表示装置。

【請求項 1 9】

液晶表示用画素部を構成し第 1 の複数の薄膜トランジスタからなる第 1 の薄膜集積回路と上記画素部を駆動する周辺回路を構成し第 2 の複数の薄膜トランジスタ

からなる第 2 の薄膜集積回路とが一つの絶縁基板上部に設けられた半導体薄膜に一体的に形成され、上記第 1 及び第 2 の薄膜集積回路を構成する上記各薄膜トランジスタはそのソースとドレインとの間に  $260 \sim 500 \text{ cm}^2 / (\text{V} \cdot \text{s})$  の電子移動度を有する多結晶半導体活性領域を有しており、上記第 1 の薄膜集積回路の上部に液晶部材が設けられてなることを特徴とする液晶表示装置。

【請求項 2 0】

上記絶縁基板はガラスからなり、上記液晶部材は対角線の長さが 1 5 インチ以上の液晶表示画面を有していることを特徴とする請求項 1 8 又は 1 9 記載の液晶表示装置。

【請求項 2 1】

ダイヤモンド構造の { 1 1 1 } 双晶境界で接合された複数の半導体結晶粒によって構成された半導体薄膜の表面を酸化してゲート絶縁膜を形成し、このゲート絶縁膜上にゲート電極を形成することを特徴とする薄膜半導体装置の製造方法。

【請求項 2 2】

その表面部に結晶成長核金属を部分的に設けた非晶質半導体薄膜を絶縁体の主表面の上部に形成し、該半導体薄膜を加熱処理して上記結晶成長核金属から上記絶縁体基板の主表面方向に上記半導体の結晶を成長させることを特徴とする薄膜半導体装置の製造方法。

【請求項 2 3】

絶縁体の上部に非晶質 S i 薄膜を堆積する工程と、チャンネルを形成すべき表面を除く該薄膜の表面に結晶成長核金属を設ける工程と、上記非晶質 S i 薄膜を加熱して上記チャンネルを形成すべき表面に双晶粒界で接合された上記 S i の結晶粒を形成する工程と、上記 S i 薄膜の上記チャンネルを形成すべき表面上にゲート絶縁膜を介してゲート電極を設ける工程とを有することを特徴とする薄膜半導体装置の製造方法。

【請求項 2 4】

絶縁体の上部に厚さ 1 0 ~ 1 5 0 n m の非晶質 S i 薄膜を堆積する工程と、チャンネルを形成すべき表面を除く該薄膜の表面に結晶成長核金属を設ける工程と、上記非晶質 S i 薄膜を 6 0 0 ℃ 以下の温度で加熱する工程と、上記 S i 薄膜の上

記チャンネルを形成すべき表面部にゲート絶縁膜を介してゲート電極を設ける工程とを有することを特徴とする薄膜半導体装置の製造方法。

【請求項 25】

上記絶縁体はガラス基板からなり、上記非晶質 Si 薄膜は該基板を 300℃乃至 600℃の温度に加熱して形成されることを特徴とする請求項 23 又は 24 記載の薄膜半導体装置の製造方法。

【請求項 26】

絶縁体の上部に第 1 の非晶質 Si 薄膜を堆積する工程と、薄膜トランジスタの活性領域とすべき領域を除く該第 1 の薄膜の領域に結晶成長核金属を設ける工程と、上記第 1 の Si 薄膜を加熱して結晶化する工程と、かくして得られた上記第 1 の Si 薄膜の上部に第 2 の非晶質 Si 薄膜を堆積する工程と、該第 2 の薄膜を加熱して上記活性領域とすべき上記第 2 の薄膜の領域に双晶境界で接合された上記 Si の結晶粒を形成する工程と、上記第 2 の薄膜の上記活性領域の表面上にゲート絶縁膜を設ける工程と、上記ゲート絶縁膜上にゲート電極を設ける工程とを有することを特徴とする薄膜半導体装置の製造方法。

【請求項 27】

上記半導体薄膜は、C, Si, Ge, Sn 及び Pb からなる IV 属元素の何れか若しくはそれらの混合物からなることを特徴とする請求項 21 又は 22 記載の薄膜半導体装置の製造方法。

【請求項 28】

上記結晶成長核金属は、Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ru, Rh, Pd, Ag, Os, Ir, Pt, Au の何れか若しくはそれらの合金からなる金属 M、若しくは該金属 M と前記 IV 属元素の化合物  $M_x A_y$  (A は前記 IV 属元素、x と y は M と A との混晶比)、若しくは該金属 M と該 IV 属元素の積層構造からなることを特徴とする請求項 22、23、24、又は 26 記載の薄膜半導体装置の製造方法。

【請求項 29】

前記加熱処理を行う前に、前記成長核金属と前記チャンネルを形成すべき表面又は活性領域との間に、前記非晶質薄膜の一部を削除するか若しくは一部を他の材料

で置き換えることにより絞り部を形成する工程を持つことを特徴とする請求項 23, 24、又は 26 記載の薄膜半導体装置の製造方法。

【請求項 30】

絶縁体の上部に設けられた半導体薄膜層；該半導体薄膜層に形成された複数の絶縁ゲート型半導体素子、この各半導体素子は上記半導体薄膜層表面にゲート絶縁膜によって該半導体薄膜層から分離されたゲート電極を有している；及び少なくとも二つの上記ゲート絶縁膜の間に位置し上記ゲート絶縁膜直下を除く上記半導体薄膜層の表面部に設けられた結晶成長核金属とからなることを特徴とする薄膜半導体集積回路装置。

【請求項 31】

上記ゲート絶縁膜に接する上記半導体薄膜層はダイヤモンド構造の {1 1 1} 双晶で接合された半導体結晶粒からなることを特徴とする請求項 30 記載の薄膜半導体集積回路装置。

【請求項 32】

絶縁体の上部に設けられた半導体薄膜層と該半導体薄膜層に形成された複数の絶縁ゲート型半導体素子とからなり、上記半導体素子間に位置する上記半導体薄膜層にはその断面積が他の部分よりも小さくされた絞り部が設けられて成ることを特徴とする薄膜半導体集積回路装置。

【請求項 33】

上記複数の絶縁ゲート型半導体素子はそれぞれゲート電極と対向して該ゲート電極と協働するチャンネル領域を上記半導体薄膜層に有し、上記チャンネル領域はダイヤモンド構造の {1 1 1} 双晶粒界で接合された複数の半導体結晶粒で構成されていることを特徴とする請求項 32 記載の薄膜半導体集積回路装置。

【請求項 34】

ダイヤモンド構造の {1 1 1} 双晶境界で接合された複数の半導体結晶粒で構成された半導体領域を有し、該半導体領域に半導体素子の能動領域が形成されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は半導体装置、特に薄膜半導体装置、その製造方法及びそれを用いた液晶表示装置に関する。

## 【0002】

## 【従来の技術】

従来の薄膜半導体装置（主として画像表示装置等に用いられている薄膜トランジスタ（TFT））が形成される母体材料には、主として高温多結晶Si（珪素）が用いられてきた。これは石英基板上に900℃前後の高温熱処理によって多結晶Siを形成したもので、比較的大きな粒径（200～500nm）の多結晶Siが形成される。この高温多結晶Si上に形成されたTFTは、粒界密度が低く結晶性のよいSi薄膜をチャネル領域として利用するために、電子移動度が100～150cm<sup>2</sup>/（V・s）と単結晶Siのそれ（約500cm<sup>2</sup>/（V・s））に近い値を得ることができる。しかしこの高温多結晶Siは、高温プロセスに耐えられるよう高価な石英基板を使用する必要があるため、基板コストが原因となって装置全体のコスト低減が困難なためTFTの普及が制限されていた。

## 【0003】

近年、これに代わるものとして低温多結晶Siが盛んに研究されてきた。これは低コストのガラス基板上にプラズマCVD法等で形成した非晶質シリコンあるいは微結晶シリコンを、エキシマレーザーアニールなどの溶融再結晶化法を用いて結晶化した多結晶Siである。この手法を用いると多結晶Si薄膜をガラス軟化温度約450℃より低い温度で形成可能のため、非常に廉価なTFTを形成できるという利点がある。しかしこれまでの低温多結晶Siは高温多結晶Siと比べて小さな粒径の多結晶Siしか形成することができなかった。このため、低温多結晶Siを素子材としたTFTは、粒界におけるキャリア散乱が大きく、電子移動度は30～50cm<sup>2</sup>/（V・s）程度に限られていた。このような小さな電子移動度では必要とされる素子速度に到達できないために、一枚のガラス基板上に形成できる素子の種類が制限されるという問題が起こる。例えば画像表示装置

の場合では、画素部はガラス上に形成できるがその他のソースドライバ、ゲートドライバ、シフトレジスタ、周辺コントローラなどの周辺回路は従来のプリント基板上に形成し、これをガラス基板とケーブル端子で接続して用いなければならない。このような方法では、画面サイズが小さく（4インチ～10インチ）なる上に、装置全体のコストが高くなってしまいう問題があった。

#### 【0004】

一方、ごく最近では低温多結晶Siを大粒径化し、かつ結晶粒の位置を制御するための様々な技術が提案されてきている。絶縁体基板上に島状パターンからなる結晶成長核を形成し、その上に非晶質Siを固相成長させる技術（特開平8-316485）、多結晶Si上に非晶質Siの堆積層を形成し、表面に露出した多結晶Siを次の結晶成長核にする手法（特開平8-31749）、部分的に結晶化したSi薄膜をイオン打ち込みで選択的に非晶質化し、残った結晶部分を核として再び結晶成長させる手法（特開平10-55960）、Siの結晶化を助長する金属元素を非晶質Si膜の中に高温で分散させて非晶質Si膜を結晶化させる方法（特開平9-27452）、レーザーアニールの照射エネルギーと照射時間を階段状に変化させる方法（特開平10-97993）、段差が形成された絶縁基板上に第1の非晶質Si膜を形成し、24時間加熱処理して段差側面部に配向性の揃った第1の多結晶Si膜を形成した後、その上に形成した第2の非晶質Si膜を再び24時間加熱処理することによって配向性と結晶粒界の位置とが制御された大粒径の第2の多結晶Si膜を形成する方法（特開平8-288515）等である。

#### 【0005】

##### 【発明が解決しようとする課題】

しかし、これら数多くの試みにもかかわらず、結晶粒径を大きくしようとする上記の結晶化法では、十分結晶性のよい低温多結晶Siを再現性よく得るにはいたっておらず、大量生産上まだまだ問題が多い。例えば、結晶粒径を大きくしてもそれら結晶粒の位置ずれによるTF T素子間の特性ばらつきを抑制できていない。また、形成される多結晶の面方位も無秩序であるため、面方位に依存する電子移動度がTF T素子間でばらつくという問題がある。そのため沢山のTF Tを集

積した大規模な薄膜半導体集積回路装置の製造歩留に大きな影響を与えることになり、特に大画面の液晶表示装置の量産に適用するのが難しい。また、上記したように配向性と結晶粒界の位置を制御するための従来の結晶化プロセスは長時間の処理を要する。このため今なお、量産上製造工数の増大、特性ばらつき、歩留低下等の問題があり、特に、15インチ以上の大画面の液晶表示装置実現の課題となっている。

## 【0006】

本発明は、これまでとは全く異なる発想に基づき新しいTFT等の半導体装置の構造及びその製造方法を提供するものである。

## 【0007】

## 【課題を解決するための手段】

上記したように従来は、結晶粒界による電気的特性への影響を避けるために多結晶薄膜の結晶の粒径を大きくして粒界を出来るだけ少なくし、それをTFT素子の活性領域に使おうというアプローチであった。それに対し、本発明はそれとは全く異なり、むしろ多結晶特有の結晶粒界そのものを積極的に能動領域或いは活性領域に活用しようという全く新しいアプローチの基になされたものであり、ダイヤモンド構造の $\{111\}$ 双晶においては互いに未結合手(dangling bond)を持たない整合条件で複数の結晶粒を接合できることに着目し、この双晶境界(粒界)で接合された多結晶粒で構成された半導体領域をTFT等の半導体装置の活性領域/能動領域を構成するチャンネル部に適用しようとするものである。

## 【0008】

## 【発明の実施の形態】

以下に本発明の実施形態について図面を参照して詳細に説明する。図中、同一の機能又は意味を有する部分には同一の番号を付し、その繰り返しの説明は省略する。

## 【0009】

実施形態の説明の前にまず $\{111\}$ 双晶について説明する。なお本明細書では面方位 $(110)$ 、 $(101)$ 、 $(011)$ のように結晶学的に等価な面方位群をまとめて $\{110\}$ と記している。従って $\{111\}$ 双晶とは、全ての $(111)$ と等価な面

方位における双晶を含む。また簡単のため以下はシリコン (Si) を例とするが、C, Si, Ge, Sn 又は Pb の IV 属元素の結晶、又はそれら元素の混合物からなる混晶についても同様のことが成り立つ。

#### 【0010】

図 1 は TFT のゲート電極によって覆われている Si 薄膜の表面部、即ちチャンネル部分における結晶格子の配列状態を拡大して表示したチャンネル部の平面図である。

#### 【0011】

図 1 (1) は本発明と比較するために描いた単結晶 Si の結晶格子図で、紙面と {110} 面が平行となるように描いてある (以下も同様)。単結晶 Si には図中の点線のように、2 つの等価な {111} 面が存在し、互いに鋭角  $70.5^\circ$  (または鈍角  $109.5^\circ$ ) で交差している。

#### 【0012】

図 1 (2) は本発明の Si {111} 双晶粒界 101 付近の結晶格子図である。結晶粒 104 に対して、結晶粒 103 を  $70.5^\circ$  傾けて結合すると、互いの {111} 面がちょうど整合性よく合い、未結合手を発生させずに粒界を形成することができる。ダイヤモンド構造においてチャンネルを形成できる程十分広い面積でこのように整合する結晶面は {111} だけである。

#### 【0013】

図 1 (3) は Si の非双晶粒界 102 付近の結晶格子図である。結晶粒 103 と結晶粒 104 が上記  $70.5^\circ$  以外の角度で結合した場合、粒界には多数の結晶欠陥、結晶歪み、未結合手が発生する。これらの乱れが散乱ポテンシャルとして働き、チャンネルを通る電子の移動度を低下させる。通常が多結晶の場合この粒界散乱が移動度低下の主要因であり、単結晶における移動度約  $500 [\text{cm}^2/\text{Vs}]$  を  $30 \sim 50 [\text{cm}^2/\text{Vs}]$  まで低下させてしまう。

#### 【0014】

一方、これに対し図 1 (2) に示す {111} 双晶粒界 101 の場合、欠陥、歪み、未結合手は存在せず、格子の対称性低下に伴う若干の密度低下が働くのみであり、このため理想的な {111} 双晶であれば、ほとんど単結晶のそれと等しい約



350～500 [ $\text{cm}^2/\text{Vs}$ ] の電子移動度を実現できる。

【0015】

図2A、図2B及び図2Cは、本発明の双晶粒界101のうち、複数の結晶粒にまたがる場合の形成パターン（結晶格子図）を列挙したものである。

【0016】

図2A（1）のように、2つの結晶粒103及び104間の双晶粒界101が途中で途切れている場合、残りの粒界部分は前記図1（3）の非双晶粒界102となる。本発明においては、このような非双晶粒界がチャンネル部には存在しない方が望ましいが、本発明の原理上はチャンネル形成部に双晶粒界101で接合された電流通路がソース電極とドレイン電極との間を連結するように少なくとも一つ存在させておけばよく、非双晶粒界102が多結晶薄膜中に部分的に存在していても良い。なぜならTFTのチャンネル部では、最も抵抗の少ない（言い換えれば散乱ポテンシャルの小さい）電流通路を集中的に電子のようなキャリアが流れるため、この図においては双晶粒界101の上部表面がチャンネルとなり、非双晶粒界102の影響はほとんど受けないからである。非双晶粒界102の方向は任意で、かつ複数の非双晶粒界102が多重に複合していても構わない。

【0017】

図2A（2）に示すように、3つの結晶粒103、104、105の接合、本発明の2つの双晶粒界101が109.5°の角度でつながることにより、結晶粒103と104との間を結晶粒105及び整合格子を構成する双晶境界101で連結することが出来るので、本発明に関わる特性の良い電流経路を形成することが出来る。ただしこの場合、結晶粒103から104を経由して105へ到達する経路には必ず非双晶粒界102が存在することとなる。このような場合、102を介した結晶粒103と104との間の電流通路の電子移動度は低下するが、結晶粒103と105との間、および結晶粒105と104との間は双晶粒界で接合しているため、トータルの素子の電気的特性のばらつきの範囲内で図2A（1）の場合と同様に本発明の良好なチャンネルを形成できる。この図の構造は双晶粒界101の109.5°を持つすべての折れ曲がり点において成り立つ。

## 【0018】

図2A(3)は3つの結晶粒の接合に成り立つもうひとつの構造として、本発明の2つの双晶粒界101が70.5°の角度でつながる場合を示している。これも図2A(2)と同様の効果を得ることができる。本発明の双晶粒界101の折れ曲がり点の角度は、前記109.5°かこの70.5°の2通りだけである。

## 【0019】

図2B(4)に、4つの結晶粒103、104、105、106の接合において、本発明の3つの双晶粒界101が互いに109.5°の角度でつながることにより4つの結晶粒にまたがる連続した整合格子を構成した例を示す。ただしこの場合も図2A(2)と同様に必ず非双晶粒界102が伴う。

## 【0020】

図2B(5)に示すように、4つの結晶粒の接合構造として、本発明の双晶粒界101が70.5°の角度でつながることも許される。本図では3つの双晶粒界101がすべて70.5°で接合した一例を示したが、その内のひとつの角度が109.5°となる構造も許される。これも図2B(4)と同様の効果を得ることができる。本発明の4つの結晶粒の接合における双晶粒界101の折れ曲がり点は、前記(4)とこの構造の2通りだけである。

## 【0021】

図2C(6)に示すように、5つの結晶粒103、104、105、106、107の接合において、本発明の4つの双晶粒界101が互いに70.5°でつながることにより5つの結晶粒にまたがる連続した整合格子を構成することができる。ただしこの場合も図2A(2)と同様に必ず非双晶粒界102が伴う。

## 【0022】

図2C(7)に示すように、5つの結晶粒103、104、105、106、107の接合において、本発明の5つの双晶粒界101が互いに72.0°でつながることにより、特異的に5つの結晶粒すべてにまたがる連続した整合格子を構成することができる。ただしこの場合、5重点近傍の結晶格子には70.5°の場合に比べて引っ張り歪み例えば、5重点から遠ざかるに従って大きな面内引っ張り歪み、が生じる。この構成の場合、全ての結晶粒をチャンネルとして働かせる

ことができる。

#### 【0023】

以上、複数の結晶粒が双晶境界で接合された電流通路の色々な形態を説明したが、前記したようにそのような電流通路がソースとドレインとの間を連結するように少なくとも一つ設けることによって、多結晶の結晶粒径がそれ程大きくなくとも後述するように  $260 \sim 500 [\text{cm}^2/\text{Vs}]$  という高い電子移動度を有する多結晶の半導体活性領域を低温処理で再現性良く得ることができる。また、少なくとも  $260 [\text{cm}^2/\text{Vs}]$  以上の電子移動度を有しておれば多数の T F T 素子及びそれらを集積した薄膜集積回路装置を若干の特性ばらつきの範囲内で歩留よく製造することが出来る。

#### 【0024】

以下、本発明の実施例に関する説明を行う。

#### 【0025】

(実施例 1) 図 3 (1) は、本発明の第 1 の実施例に係わる薄膜半導体装置 (T F T) の要部を説明するための図であり、図 3 (1) - a は図 3 (1) - b での切断面 9 に沿って描いた T F T の断面図、図 3 (1) - b は図 3 (1) - a での切断面 8 に沿って描いた平面図でありこれは T F T のチャンネル部即ち、薄膜半導体層の表面を示している (図 3 (2) 及び図 4 (1) (2) も同様)。絶縁体基板 1 上に膜厚  $10$  乃至  $150 \text{ nm}$  の多結晶 S i 薄膜 2 を持つ。この多結晶膜 2 は、ソース領域 4、ドレイン領域 5、チャンネル部 3 (長さ約  $5 \text{ nm}$ 、幅約  $2 \sim 3 \text{ nm}$ ) を有し、このチャンネル部 3 上には S i O  $_2$  からなるゲート絶縁膜 6、ゲート電極 7 が形成されている。ゲート電極直下のチャンネル 3 は、このゲート電極と協働関係を持って働く所謂電界効果トランジスタの活性領域 (即ち、能動領域) であり、電流密度が最も大きい。この実施例では、多結晶 S i 薄膜 2 はダイヤモンド構造の {1 1 1} 双晶境界 1 0 1 で接合された複数の S i 結晶粒からなることを特徴とする。それは、ソース 4 とドレイン 5 を結ぶひとつの電流経路を考えた場合、その経路を横切る粒界が双晶粒界 1 0 1 であり、そのような経路がチャンネルの中で少なくとも一つあれば、その他の粒界が非双晶粒界 1 0 2 であってもかまわない。本実施例はこのような結晶構造を持たせることにより、ソースと

ドレイン間のチャネルを流れる電流を概ねその経路に沿って集中させることで、非双晶粒界 1 0 2 から受ける散乱ポテンシャルを大幅に低減し、単結晶 S i に匹敵する高電子移動度を実現できる。なお、このような意味で、本発明者はこの双晶粒界で接合された複数の結晶粒で構成された結晶を「擬似単結晶」と呼ぶこととした。

#### 【 0 0 2 6 】

なお、少なくとも一つの電流通路を双晶粒界で接合された複数の結晶粒で構成した場合で説明したが、前記したことから理解されるようにゲート絶縁膜直下の半導体層の活性領域表面の殆ど全てに亘って双晶粒界で接合された複数の結晶粒で構成した場合が最も望ましい。

#### 【 0 0 2 7 】

(実施例 2) 図 3 (2) は本発明の第 2 の実施例に係わる薄膜半導体装置の要部を説明する図である。本実施例では、絶縁体基板 1 上に膜厚 1 0 ~ 1 5 0 n m の多結晶 S i 薄膜を繰り返し多数層 (多結晶膜 1 0、1 1、1 2) 持つことを特徴とする。各層は、いったん非晶質として堆積された後、各層ごとに熱処理により結晶化されている。こうすることにより、下の層の粒界や結晶欠陥がそれより上の層に伝播されにくくなり、結果として上層に行くに従って粒界密度が低下するという利点がある。そして図 3 (1) でも説明したように、最上層 1 2 の多結晶粒間のほとんどあるいは全ての粒界を双晶粒界 1 0 1 とすることによって、図 3 (1) のような 1 層の場合よりもより高い電子移動度を有するチャネルを実現することができる。

#### 【 0 0 2 8 】

(実施例 3) 図 4 (1) は本発明の第 3 の実施例に係わる薄膜半導体装置 (T F T) の要部を説明するための図である。絶縁体基板 1 上に膜厚 1 0 ~ 1 5 0 n m の S i 薄膜 2 を持つ。この膜 2 は概ね非晶質 S i により形成され、膜中に枝状の結晶 1 4 を持つ。この枝状結晶 1 4 は膜 2 の膜厚を持って横方向に延在する場合が多いが、この膜厚よりも薄い厚さを持って横方向に延在している場合を図示している。また、温度や時間等の加熱処理条件によって枝の幅や長さを制御することが出来る。そして、本実施例における上記細長い結晶の枝は、基板面にほぼ

平行な  $\{1\ 1\ 0\}$  面と枝の長軸に垂直な  $\{1\ 1\ 1\}$  面を持ち、一本の直線的な単結晶若しくはその単結晶から分岐した複数本の多結晶粒からなっているである。ただし分岐している場合、枝どうしが概ね  $39.0^\circ$ 、 $70.5^\circ$ 、 $109.5^\circ$  のいずれかの角度で接合し、接合面が概ね双晶粒界  $101$  となっていることを特徴とする。この薄膜 2 に、ソース 4、ドレイン 5、チャネル 3、およびチャネル 3 上にゲート絶縁膜 6、ゲート 7 を持つ。ソース 4 とドレイン 5 を結ぶひとつの電流通路（経路）を考えた場合、その経路は枝状結晶 14 に沿った屈曲線となり、その経路を横切る粒界が概ね双晶粒界  $101$  であり、そのような経路がチャネルの中で少なくともひとつある。このような枝が一つあれば、その他のチャネル部或いは Si 層は非晶質のままであってもかまわない。本実施例はチャネルを通る電流を概ねその枝状結晶 14 上の経路に集中させることで、非晶質 13 若しくは非双晶粒界  $102$  から受ける電子散乱ポテンシャルを大幅に低減し、単結晶 Si に匹敵する高電子移動度を持った TFT 素子を実現できる。

#### 【0029】

（実施例 4） 図 4（2）は本発明の第 4 の実施例に係わる薄膜半導体装置の要部を説明するための図である。本実施例では、絶縁体基板 1 上に膜厚  $10\sim 150\text{ nm}$  の Si 薄膜を繰り返し多数層（膜 10、11、12）持つことを特徴とする。各層は、いったん非晶質として堆積された後、各層ごとに熱処理により結晶化されている。こうすることにより、下の層で多数に分岐した枝状結晶 14 の粒界や結晶欠陥がそれより上の層に伝播されにくくなり、結果として上層に行くに従って幅広く結晶性の良い枝状結晶が形成できるという利点がある。こうして得た良質の最上層 12 に、ソース 4、ドレイン 5、ゲート絶縁膜 6、ゲート 7 を形成すれば、チャネル 3 の枝状結晶上のある経路においては、ほとんどあるいは全ての粒界を双晶粒界  $101$  とすることができる。

#### 【0030】

（実施例 5） 図 5 A 及び図 5 B は、本発明の第 5 の実施例に係わる薄膜半導体装置を説明するための平面図であり、結晶成長核金属の配置パターンに対応して（1）～（6）に図示されている。

## 【0031】

ここで結晶成長核金属の働きについて少し説明する。なお本実施例における成長核金属の材質は、金属M (Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ru, Rh, Pd, Ag, Os, Ir, Pt, Auの何れか若しくはそれらの合金)、若しくは該金属Mと前記IV属元素の化合物 $M_xA_y$  (Aは前記IV属元素、xとyはMとAとの混晶比)、若しくは該金属Mと該IV属元素の積層構造からなる。まずSi薄膜を一旦非晶質で形成し、その上に上記成長核金属を形成した後に全体を熱処理すると、この成長核金属から拡散した金属原子がSi中で核となり、低温(約450℃)で珪化金属核を形成する。成長核金属は、Si薄膜表面への堆積でも、Si薄膜と絶縁基板との間に堆積させても良い。またSi薄膜の一部を置き換えたものでも構わない。形成された珪化金属は、周辺的非晶質Siを取り込み次々と結晶Siを形成する性質がある。珪化金属自身は、常に非晶質と結晶との界面に存在し、結晶欠陥に取り込まれたりしない限り、そのまま継続的に結晶化を媒介し続ける。この珪化金属が消耗しない限り、結晶化は成長核金属が進む方向に向かって時間と温度によって決まる活性化過程で進行してゆく。十分長時間の熱処理を行えば、チャネルより広い面積を結晶化することも可能で、そのようにして得た多結晶薄膜は珪化金属をほとんど含まず、面方位が概ね双晶粒界に揃えることが出来る。本実施例は以上の現象を利用するものである。

## 【0032】

まず、図5Aの(1)～(3)を説明する。各図は本実施例の薄膜半導体装置の上面平面図である。各図とも、ソース4はソースコンタクト15を通じてソース配線16と、またドレイン5はドレインコンタクト17を通じてドレイン配線18と、さらにゲート7はゲートコンタクト19を通じてゲート配線20とそれぞれ接続されている。

## 【0033】

(1) チャネル3と平行にゲート7から少し離れた位置の半導体層上に成長核金属21が形成されている。こうすることで成長核金属21を長大化することができ、例えば、チャンネルの長さ(L)或いはソース・ドレイン領域も含めた長さ

にわたって成長核金属層を設けることにより、チャンネル 3 領域を短時間で一様に結晶化できる利点がある。

【 0 0 3 4 】

(2) チャンネル部 3 を取り囲むようにその四方に成長核金属 2 1 を分散させた場合である。こ

うすることでチャンネル 3 における多結晶形成を等方的に行うことができる。その結果トランジスタ特性のばらつきを減らす利点がある。

【 0 0 3 5 】

(3) ソース 4、ドレイン 5 の両端外側に成長核金属 2 1 を形成する。これは成長核金属 2 1 から伸びた枝状結晶で、ソース 4 とドレイン 5 との間を結び、それをチャンネルとして利用する場合に適用できる。

【 0 0 3 6 】

前記説明からも理解されるように、本実施例では結晶成長核金属を実質的にチャンネル部 3 の上には設けないで、例えばチャンネル形成部（即ち活性領域）以外の半導体層の上に設けることによって、半導体層の薄い厚みを利用してチャンネル部の外周部から内部方向へ結晶成長を進行させることが出来るので、面方位を概ね前記したとき双晶粒界に揃えることが出来る。これに対し、チャンネル部に対して垂直方向から即ち半導体層の膜厚方向から結晶成長させると、前記したような本発明に係わる多結晶粒界を持ったものを形成することが出来ない。

【 0 0 3 7 】

次に、結晶化の加熱処理時間を短くすることを主眼にしたその他の配置パターンの例を図 5 B (4) ～ (6) で説明する。

【 0 0 3 8 】

(4) 成長核金属 2 1 自身で、ソースとドレインを形成した場合である。これは形成プロセスを最短化できる利点があるが、正しいオーミックコンタクトを取れる材料が T i , N i , P t , A u 等の金属に限られてしまうという問題がある。この対策としては、この位置に成長核金属層を設けて結晶化処理をした後に、この金属層を除去し通常の電極材料を被着することが考えられる。

## 【0039】

(5) ゲート7直下に成長核金属21を形成する場合である。実装寸法を小さくし、かつチャネル3を短時間で結晶化できる利点があるが、反面ゲート絶縁膜の特性によってはリーク電流が発生するおそれがある。この場合も、(4)と同様結晶化処理の後この金属層を除去することが望ましい。

## 【0040】

(6) チャネル3内或いはその上部に成長核金属21を形成する場合である。結晶成長に要する時間と実装寸法の両方を最小化できる利点がある。この例では、成長核金属で覆われていないチャンネル部がかなり残されているので、先に説明したようにこの成長核金属部分からその周辺に横方向に結晶が成長する。しかしこれも(5)同様、材料の特性しだいでリーク電流が発生させるおそれがある。

## 【0041】

(実施例6) 図6は本発明の第6の実施例に係わる薄膜半導体装置を説明する図である。本実施例は、成長核金属21とチャネル3との間に絞り部(狭窄部)22を持ち、その絞り部は多結晶薄膜2の一部を削除した凹部若しくは一部を他の材料で置き換えた領域からなり、Si薄膜2の断面積は絞り部22の部分において他と比べて小さくなっており、その小さい断面積部分を通じて成長核金属21とチャネル3とが接続されていることを特徴とする。

## 【0042】

(1) は本実施例の半導体薄膜装置の俯瞰図である。絞り部22はSi薄膜2の一部を掘り下げた凹部からなっている。即ち、この絞り部は半導体薄膜をその他の部分に比べて部分的にその厚さ或いは幅を小さくする(即ち、断面積を小さくする)ものであり、この凹部を他の材料(たとえば、窒化珪素膜を用いた通常の実選択酸化処理によるSiO<sub>2</sub>等)で置き換えても同様の効果が得られる。

## 【0043】

(2) はこの薄膜半導体装置の縦断面図(上段のA)、平面図(中段のB)、および切断面8でのSi層表面部で見た平面図(下段のC)である。絞り部22によって切り取られた凹部によって、多結晶薄膜2は非常に薄い状態で成長核金属21のある領域と連結している。この多結晶薄膜2をいったん非晶質で形成し、



成長核金属 2 1 を堆積後に熱処理を行うと、前述したように成長核金属 2 1 から結晶成長が進行する。この結晶成長は絞り部 2 2 に達すると、その薄い絞り部 2 2 の下の膜中をさらに先へと進むが、このとき成長している結晶の中でわずかに面方位が他と異なる結晶粒があると、それはこの薄い膜中で上下どちらかの表面にぶつかり成長が止まってしまう。これにより、狭い絞り部 2 2 を通過した結晶粒は、より面方位の揃ったものだけで構成されることになる。こうすることにより、チャネル形成領域 3 に到達する結晶粒の結晶性を向上させ、結果としてチャネル形成領域 3 がより双晶粒界 1 0 1 で形成されるようにする効果がある。

## 【 0 0 4 4 】

なお、上記した絞り部は 2 2 は T F T 素子要部を形成した後も、その上部を配線領域に利用するために、或いは素子の電気的特性を測定するためにそのまま残しておいた方が良い。

## 【 0 0 4 5 】

（実施例 7） 図 7 は本発明の第 7 の実施例に係わる薄膜半導体装置を説明する図である。本実施例は、前記実施例 6 と同様に成長核金属 2 1 とチャネル 3 との間に絞り部 2 3 を持ち、その絞りは多結晶薄膜 2 の一部を削除した凹部若しくは一部を他の材料で置き換えた領域からなることは同じである。

## 【 0 0 4 6 】

（1）は本実施例の鳥瞰図であり、成長核金属 2 1 からチャネル 3 へのひとつの経路を残し、他は絶縁体基板 1 まで多結晶薄膜 2 の全てを取り除いてある。

## 【 0 0 4 7 】

（2）は本実施例の半導体装置の断面図（上段の A）、平面図（中段の B）、および切断面 8 における半導体層表面で見た平面図（下段の C）である。絞り部 2 3 によって形成された凹部によって、多結晶薄膜 2 は非常に狭い領域で成長核金属 2 1 のある領域と連結している。この多結晶薄膜 2 はいったん非晶質で形成し、成長核金属 2 1 を堆積後に熱処理を行うことにより、前述したように成長核金属 2 1 から枝状結晶をさせて形成することが出来る。この結晶成長は絞り 2 3 に達すると、その狭い絞り部 2 3 をさらに先へと進むが、このとき成長している枝状結晶の中でわずかに成長方向が他と異なる結晶粒があると、狭い膜中で左右ど

ちらかの壁にぶつかり成長が止まってしまう。これにより、絞り部 23 を通過した枝状結晶粒は、より成長方向の揃ったものだけで構成されることになる。こうすることにより、チャンネル 3 に到達する枝状結晶の方向と結晶性を向上させ、結果としてチャンネル 3 がより双晶粒界 101 で形成されるようにする効果がある。

## 【0048】

図 8 は本発明の薄膜半導体装置の製造過程を説明する図であり、例として結晶成長核金属 21、絞り部 22、複数層の多結晶薄膜 10～12 を持つ装置の場合を示す。

## 【0049】

(1) 絶縁体基板 1 上に、CVD 法を用いて室温で Si を堆積することにより、非晶質の薄膜 10 を厚さ約 50 nm の厚さに形成する。その上にレジスト塗布、フォトリソ露光、現像、エッチング、蒸着という通常のパターン形成プロセスによって、厚さ 5 nm、幅 1 nm、長さ 10 nm の結晶成長核金属 21 を形成する。この金属としては前述したような各種金属材料を用いて良いが、この実施例ではニッケル (Ni) を蒸着した場合で説明する。

## 【0050】

(2) 次に上記パターン形成プロセスと同じ方法（ただし蒸着は行わない）で、絞り部 22 を形成する。このときエッチング液濃度、エッチング時間を制御し、絞り部 22 の凹部の深さを約 3～4 nm とする。絞り部 22 と成長核金属 21 との距離は約 1 nm とする。

## 【0051】

(3) 窒素雰囲気中において、温度約 450℃、約 24 時間の熱処理を行い、薄膜 10 を結晶化させる。これにより、成長核金属 21 から絞り部 22 の凹部下を通過して約 30 nm 結晶化が起こり、薄膜 10 が双晶粒界 101 と非双晶粒界 102 を含んだ多結晶となる。なお、この工程では加熱温度の範囲は 360℃～600℃が望ましく、処理条件を制御することにより 10 時間以内、例えば約 5 時間程度の短い加熱処理によっても本発明による所望の結晶粒界で接合された多結晶薄膜を得ることができる。

【0 0 5 2】

(4) 続いてこの薄膜 1 0 の上に、(1) と同じ方法で非晶質の S i 薄膜 1 1 を形成する。この時薄膜 1 1 は成長核金属 2 1 と接触しないようにする。

【0 0 5 3】

(5) 続いて(3)と同じ方法により、薄膜 1 1 を結晶化させる。薄膜 1 1 は下地の薄膜 1 0 の界面から結晶化するが、成長速度の早い結晶粒が先に表面に到達し、成長速度の遅い結晶粒は他の結晶粒に成長を妨げられてそれ以上大きくなることができない。このため、薄膜 1 1 の表面付近は、薄膜 1 0 の表面付近に比べて各々の結晶粒が大きくなる。従って双晶粒界 1 0 1 および非双晶粒界 1 0 2 の密度も小さくなり、より広い単結晶領域を持つようになる。

【0 0 5 4】

(6) さらに(4)～(5)のプロセスを繰り返し、多結晶薄膜 1 2 を形成し、その上に砒素 A s またはボロン B イオンの打ち込みおよび熱活性化により、ソース 4、ドレイン 5 を形成する。

【0 0 5 5】

(7) 多結晶薄膜 1 2 表面を熱酸化法により酸化し、ゲート絶縁膜 6 を形成、その上に A l をパターン形成プロセスにより堆積することでゲート 7 を形成する。

【0 0 5 6】

(8) 最後にソース 4、ドレイン 5、ゲート 7 上にそれぞれソースコンタクト 1 6、ドレインコンタクト 1 8、ゲートコンタクト 2 0 を A l により配線することで、薄膜半導体装置を形成する。

【0 0 5 7】

また、上記製造過程において、特に結晶化プロセスの処理条件を制御することによって、例えば加熱時間を 2 4 時間以上と長くすることによって、(1 1 1) 双晶によって他の結晶粒と接合した粒径の大きい結晶粒を作ることにも出来る。但し、出来上がった素子間の特性のばらつきを抑える上では、前述したようにそれ程結晶サイズ、即ち粒径を大きくすることは重要ではない。

【0 0 5 8】

図 9 は本発明の薄膜半導体装置を適用することにより達成される利点を説明する

ための図である。

【0059】

(1) 従来の画像表示装置は、石英若しくはガラス基板の画像表示パネル24上に非晶質Siを用いて画素25を形成していた。そしてシフトレジスタ27、デジタルアナログコンバータ28、バッファアンプ29といったデータ制御に使用する主要周辺回路部分は、通常のSi単結晶基板上に形成した個別の半導体パッケージを通常の回路基板に取り付けることでデータドライバ26として外付け構成し、画像表示パネル24との間は端子32を通して接続していた。同様のことはゲート制御用のシフトレジスタ31とゲートドライバ30等の周辺回路にもあてはまる。このような構成はデータドライバ26とゲートドライバ30に必要とされる動作速度が、非晶質Siの電子移動度では達成不可能であることが原因であった。このような構成では、画面サイズが制限されるとともに装置コストが増大するという欠点があった。

【0060】

(2) は本発明の薄膜半導体装置を用いた場合の液晶画像表示装置である。電子移動度が $260 \sim 500 \text{ [cm}^2/\text{Vs}]$ の低温多結晶Si薄膜を用いることにより、大面積のガラス基板上に主要な回路を小さい電気的特性ばらつきをもって集積化することができる。このため従来のバッファアンプ等端子増幅目的の回路は一部省略することができ、大画面の画像表示装置を形成することができる。さらに低コストのガラス基板を用いて数少ない工程により製造できるという利点がある。

【0061】

図10は本発明を用いてガラス基板上に形成する周辺回路部用半導体薄膜集積回路装置のパターン形成例の平面図を示したものである。

【0062】

(1) は実施例5での図5A(1)を高集積度で組み込んだ例で、ゲートパターン33、ソースパターン34、ドレインパターン35と共に、結晶成長核金属パターン21を形成する。各トランジスタのチャネル部は連続的に結晶成長核金属21により双晶粒界を含んだかたちで結晶化される。図5A、図5Bで説明したように、結晶成長核金属21を複数のTFET素子の間(より具体的には、素子の

ゲート電極 7 と 7 ' との間) に、即ち、複数の素子のチャンネル領域間に、これらチャンネル形成領域を除く半導体薄膜層に設ければ良い。本図に示すように設けることによって、多数の T F T 間の特性ばらつきを少なくすることが出来る。

【0063】

なお、図 6、図 7 で説明したように、これら結晶成長核金属 21 と T F T 素子との間の半導体薄膜層に絞り部 22, 22 ' を複数個設けておくことによって結晶化特性を改善できる。

【0064】

(2) は実施例 5 での図 5 (3) を高集積度で組み込んだ例で、主として枝状結晶をチャンネルとして使用する場合に適用できる。

【0065】

以上のパターンは一部の例であり、実施例 5 での図 5 (1) ~ (6) に応じて多様なパターン形状を持たせることが可能である。複数の結晶成長核金属 21, 21 '、21 " を設けた以外は上記 (1) と同様なので詳細説明は省略する。

【0066】

以上、本発明に係わる各種実施例を半導体層の上部表面にゲート電極やソース、ドレイン電極を配置した薄膜半導体素子をベースに説明してきたが、本発明はそれらに限ることなく、他の構造の薄膜半導体素子及びそれを用いた薄膜半導体集積回路装置にも適用できるものである。その例を図 11 で説明する。

【0067】

図 11 はかかる薄膜半導体素子の断面図を示すもので、(1) に示すように、絶縁体 1 の上部にゲート電極 7 を、その表面にゲート絶縁膜 6 を設け、それらの上に半導体層 2 を堆積させ、チャンネル部 (能動領域部) を構成する半導体層部分を除く周辺部の半導体層上に結晶成長核金属層 21 を設ける。その後、(2) に示すように、加熱処理を施してこの結晶成長核金属層から横手方向に結晶を成長させ、ゲート電極に面するチャンネル部を双晶粒界によって接合された複数の結晶粒で構成させる。その後、上記成長核金属層を除去し、ソース、ドレイン電極 15, 17 を設ける。このような素子構造では、比較的高い処理温度を必要とするゲート酸化膜を形成した後に半導体膜の堆積やその結晶化処理を施せるので、

かなり自由に制御性よく所望の特性を持った多結晶薄膜を作ることが出来る。更に、素子表面の平坦性を維持した状態で多層に半導体層を堆積させ結晶の特性を改善しやすくなるので、比較的簡単に優れた特性の薄膜半導体装置が作れる。

#### 【 0 0 6 8 】

(3) は、ソース、ドレイン電極 1 5, 1 7 が絶縁体上に設けられ、その上に半導体層 2 が堆積され、その上にゲート絶縁膜 6 を介してゲート電極 7 が設けられた薄膜半導体装置を示すもので、この場合はゲート電極 1 5, 1 7 として図 5 B の (4) と同様に結晶成長核金属材料を使用するか、または上記図 1 1 (1) のようにチャンネル形成部以外の半導体層 2 の上部表面にかかる金属層を被着させても良い。

#### 【 0 0 6 9 】

(4) は、ゲート電極 7 が絶縁体 1 上に設けられ、絶縁膜を介してソース電極 1 5 とドレイン電極 1 7 が設けられ、それらの間のゲート電極上にゲート絶縁膜 6 を介して半導体層 2 が形成された薄膜半導体装置を示している。この場合も前記同様に本発明を適宜適用できることはいうまでもない。ただし、この例の場合は、上記図 1 1 の (1) 及び (2) での説明同様、ゲート絶縁膜形成後に半導体薄膜の堆積や結晶化処理が行える。また、比較的到低抵抗の特性を必要とするソース、ドレイン電極を形成した後に結晶化処理が行えるので、他のタイプの薄膜装置に比し半導体層への加熱処理の緻密な制御が行いやすい。

#### 【 0 0 7 0 】

以上、本発明の各実施例では特に電界効果トランジスタ (F E T) の場合について説明したが、本発明の半導体領域を有し、それを能動領域 (活性領域) として使うものであれば、その他の半導体素子 (例えば、バイポーラ素子、高電子移動度素子 (H E M T)、光発電素子等) であっても、本発明により高機能／高性能の半導体装置及びその複合集積装置を構成できる。

#### 【 0 0 7 1 】

##### 【発明の効果】

本発明によれば、薄膜半導体装置の素子材となる低温多結晶 S i を、面方位を揃えて結晶化 (擬似的な単結晶化) し、かつ粒界における格子接合における不結合

手密度を最小化できるため、電子移動度を単結晶 Si に匹敵するほど大きくできる ( $260 \sim 500$  [ $\text{cm}^2/\text{Vs}$ ])。また、特性ばらつきの小さい薄膜半導体集積回路装置を高い歩留で製造することが出来る。それにより、同一ガラス基板上に、画素部、周辺回路を一つ或いは複数の薄膜半導体集積回路装置として集約的に形成することが可能となるため、実質的に均一な画質を持った大面積画面（画面の体格線長さが 15 インチ以上）の画像表示装置を実現することができる。

【図面の簡単な説明】

【図 1】 TFT のゲート電極によって覆われている Si 薄膜の表面部、即ちチャンネル部分における結晶格子の配列状態を拡大して表示したチャンネル部の平面図。

【図 2 A】 本発明に係わる Si 薄膜の表面部における結晶格子の配列状態を拡大して表示したチャンネル部の平面図。

【図 2 B】 本発明に係わる Si 薄膜の表面部における結晶格子の他の配列状態を拡大して表示したチャンネル部の平面図。

【図 2 C】 本発明に係わる Si 薄膜の表面部における結晶格子の更に他の配列状態を拡大して表示したチャンネル部の平面図。

【図 3】 本発明の TFT の要部を説明するための図。

【図 4】 本発明の他の TFT の要部を説明するための図。

【図 5 A】 本発明の各種 TFT の要部を説明するための図。

【図 5 B】 本発明の他の TFT の要部を説明するための図。

【図 6】 本発明の TFT の要部を説明するための図。

【図 7】 本発明の他の TFT の要部を説明するための図。

【図 8】 本発明の TFT の製造工程を説明するための図。

【図 9】 本発明の効果を説明するための電子装置の該略図。

【図 1 0】 本発明の薄膜集積回路装置の要部平面図。

【図 1 1】 本発明の他の TFT の要部を説明するための断面図。

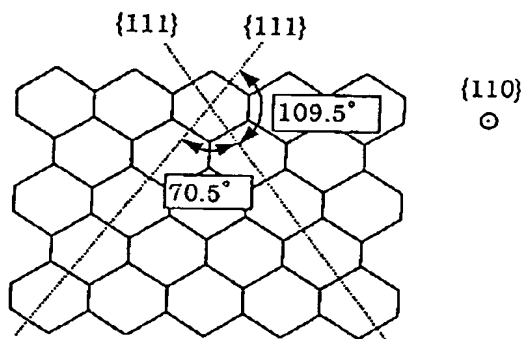
【符号の説明】 1 : 絶縁体基板、2 : 多結晶薄膜、3 : チャンネル、4 : ソース、5 : ドレイン、6 : ゲート絶縁膜、7 : ゲート、2 1 : 結晶成長核金属、1 0 1 : 双晶粒界、1 0 2 : 非双晶粒界、1 0 3, 1 0 4, 1 0 5 : 結晶粒

【書類名】 図面

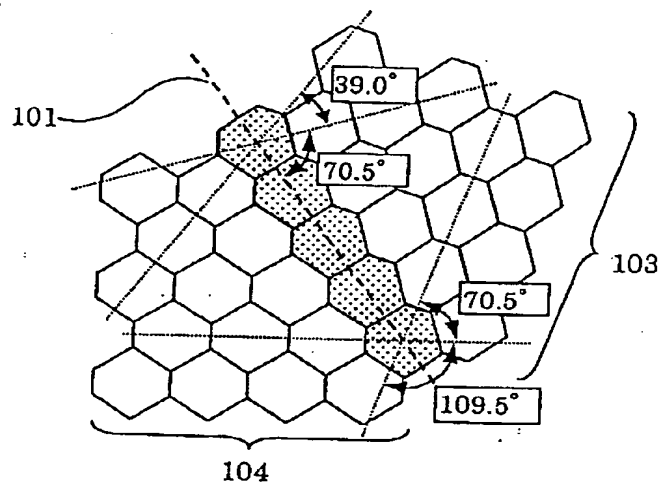
【図 1】

図 1

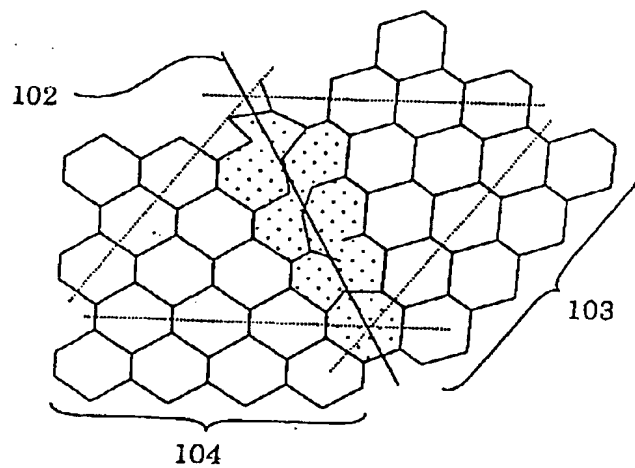
(1)



(2)



(3)

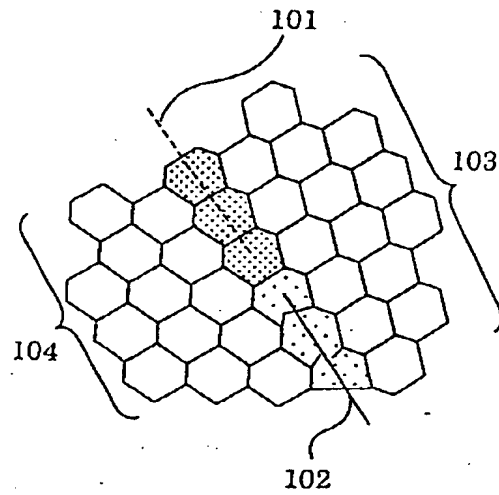




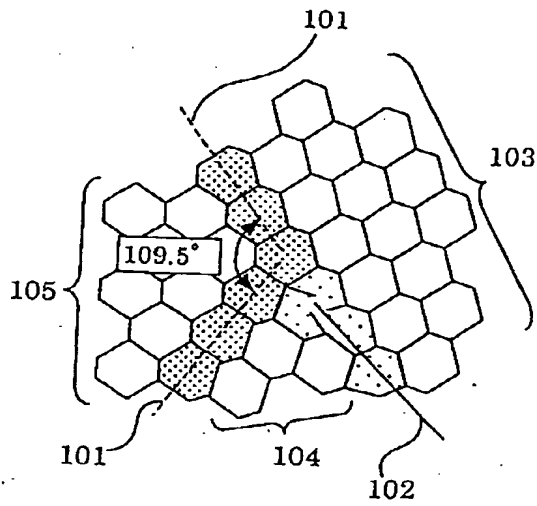
【図 2 A】

図 2 A

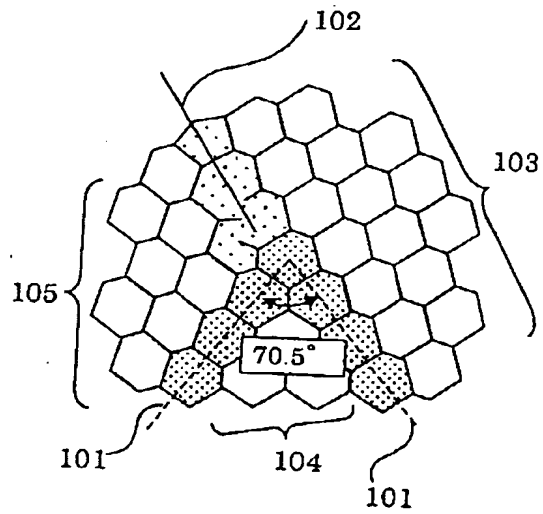
(1)



(2)

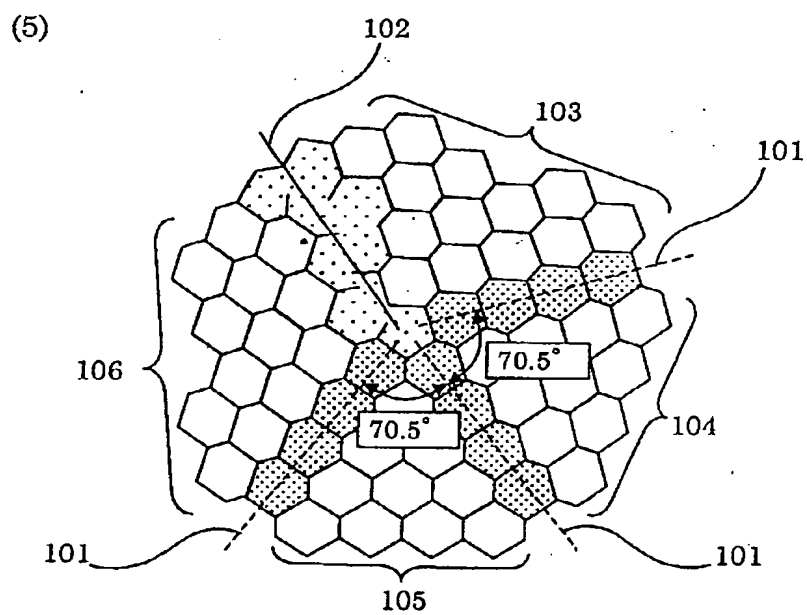
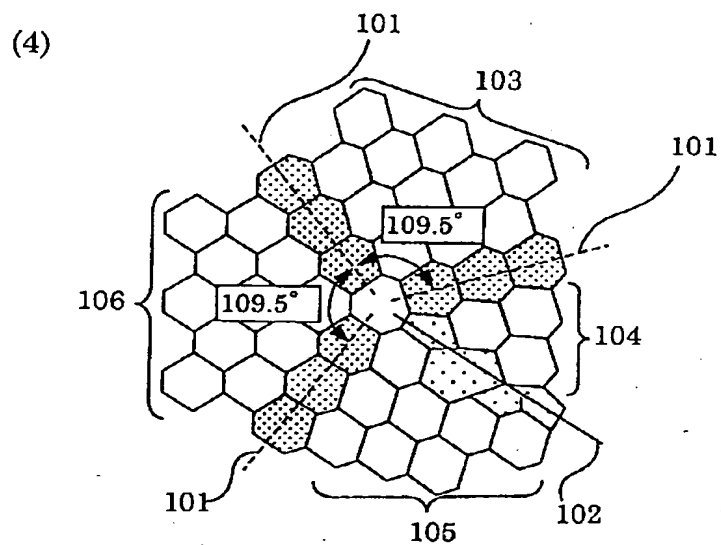


(3)



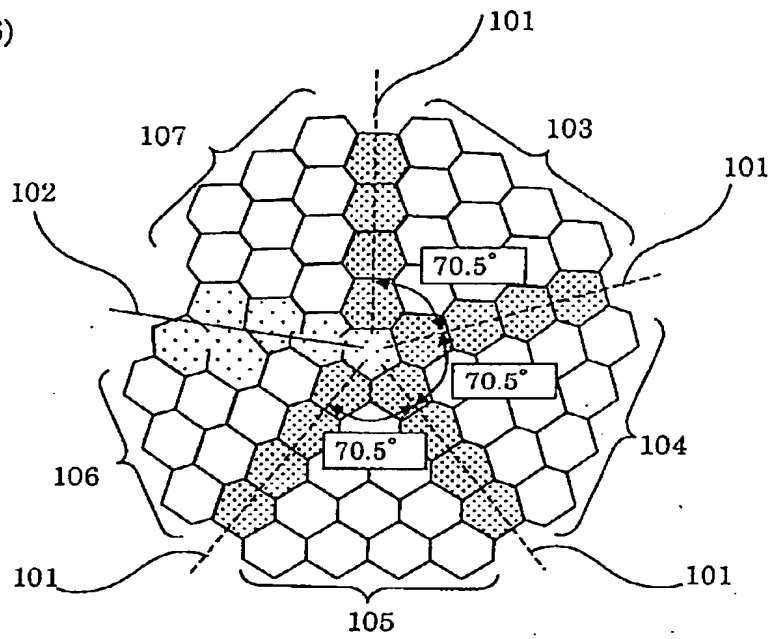
【図 2 B】

図 2 B

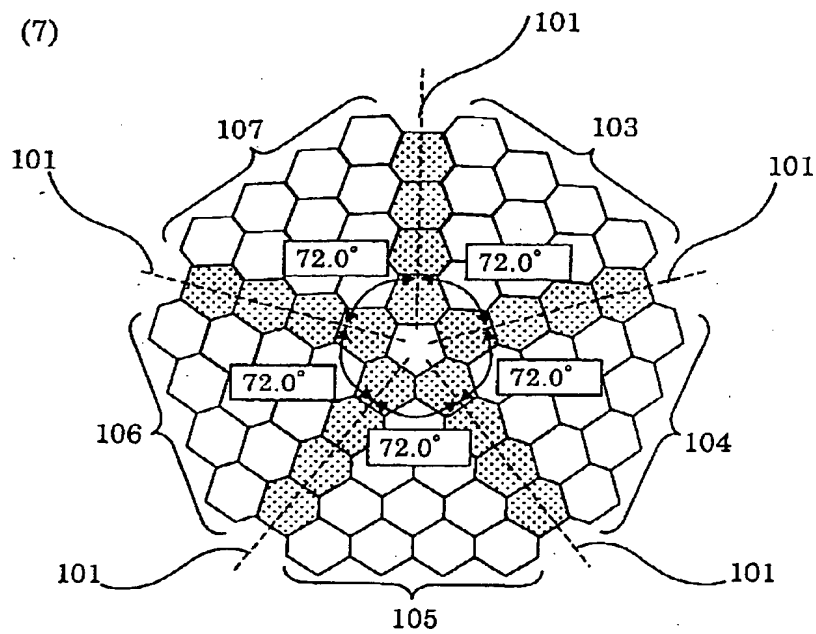


【図 2 C】

図 2 C (6)

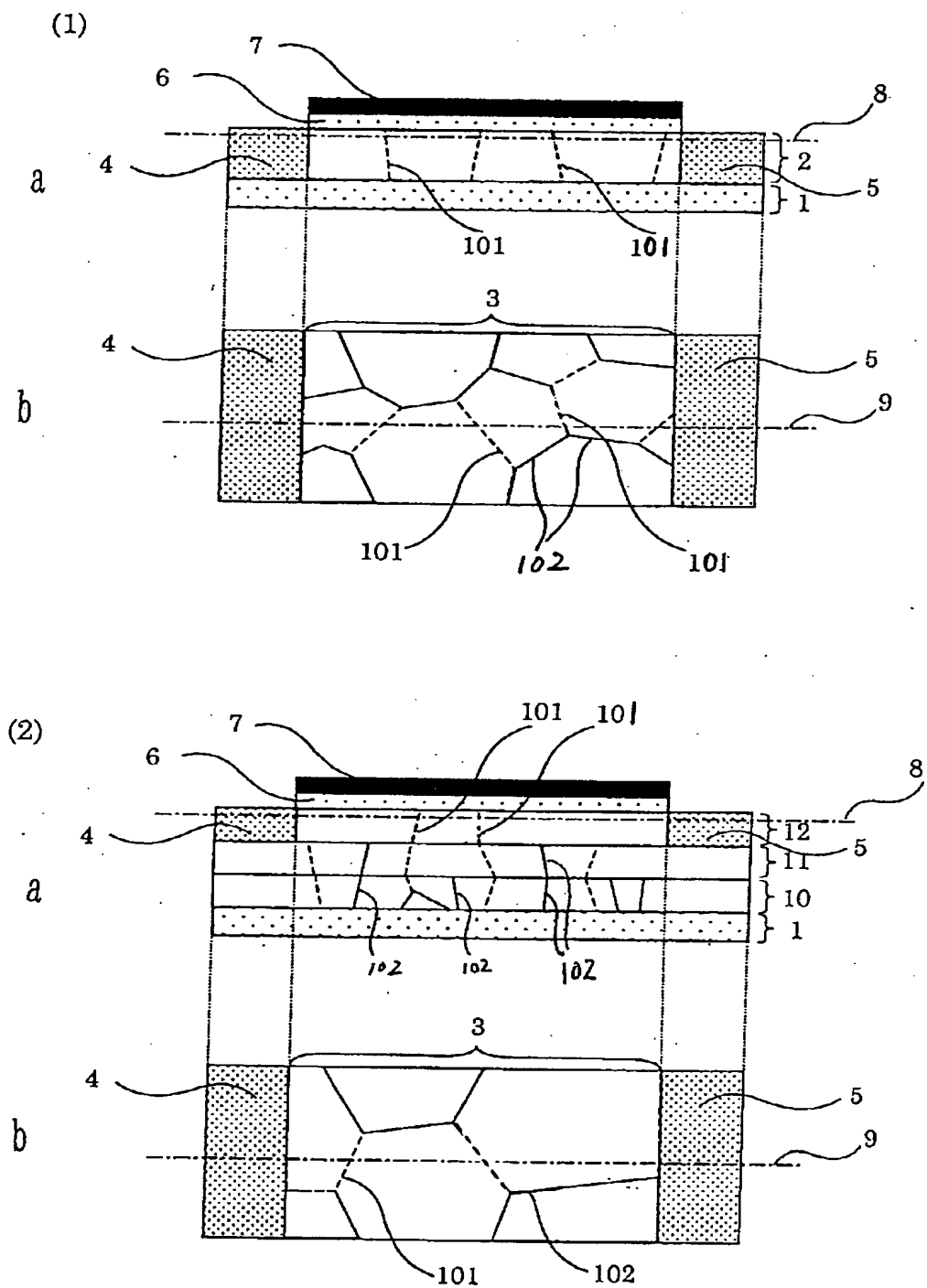


(7)



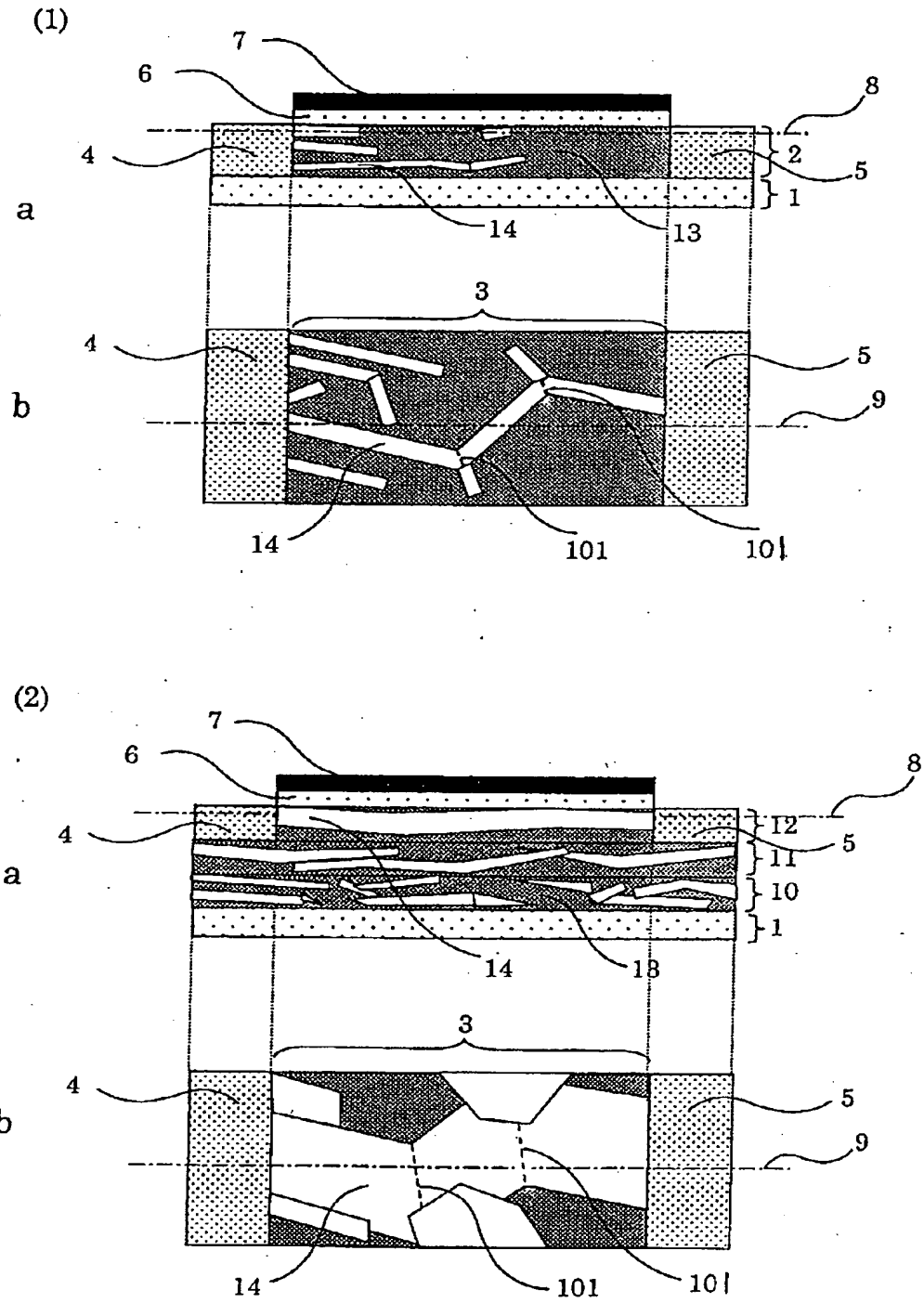
【図 3】

図 3



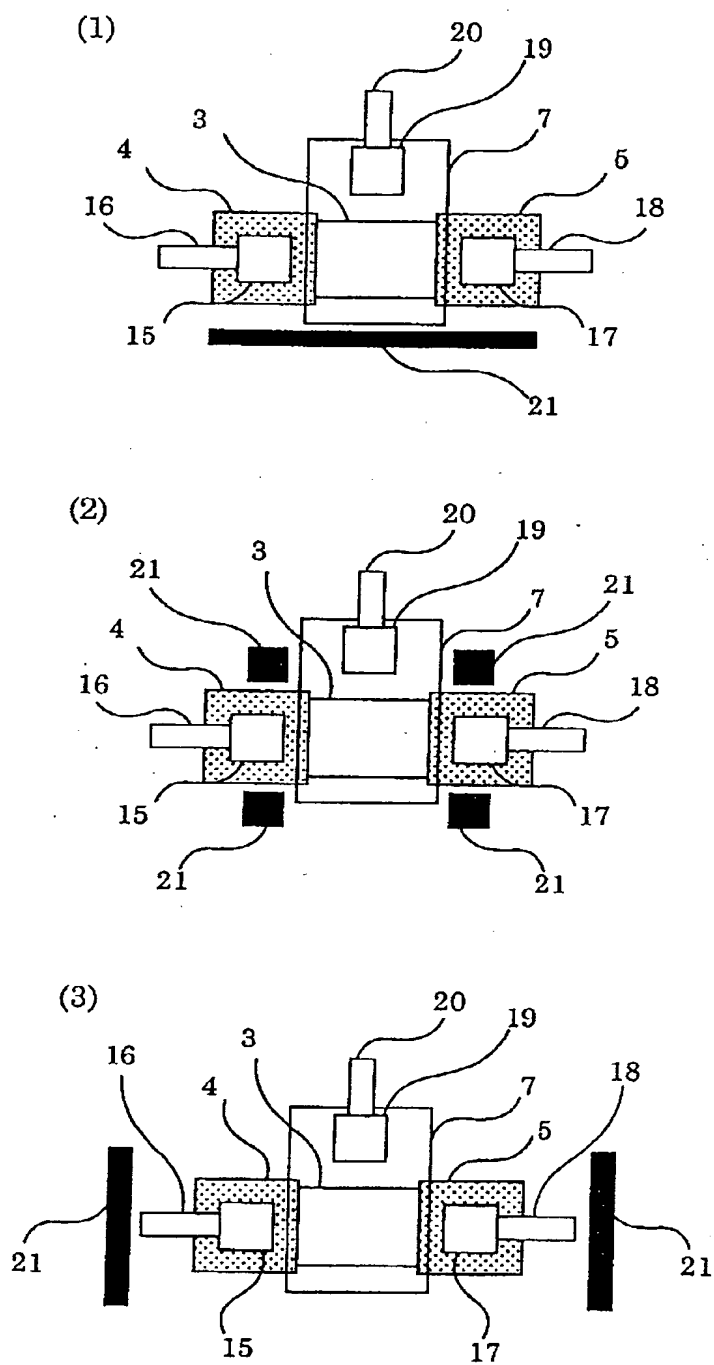
【図 4】

図 4



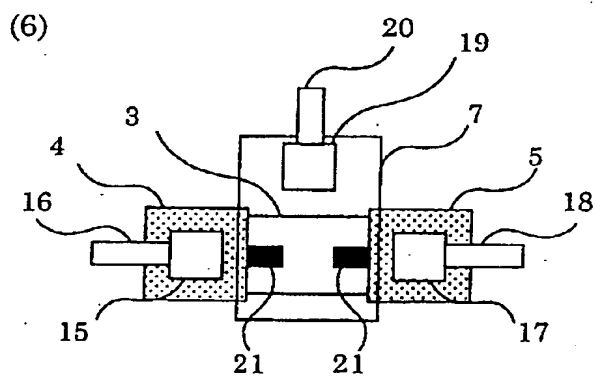
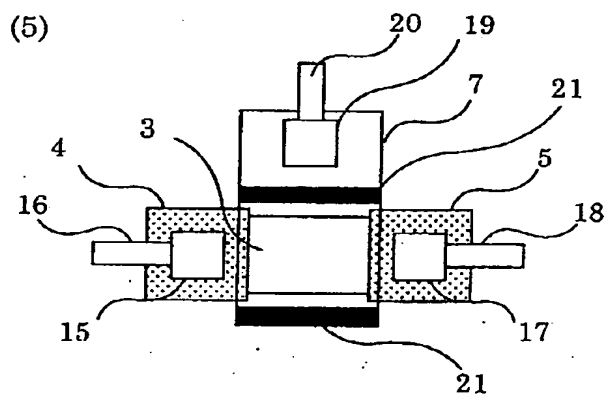
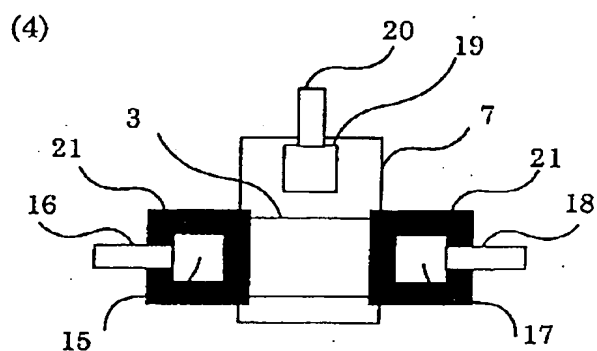
【図 5 A】

図 5 A



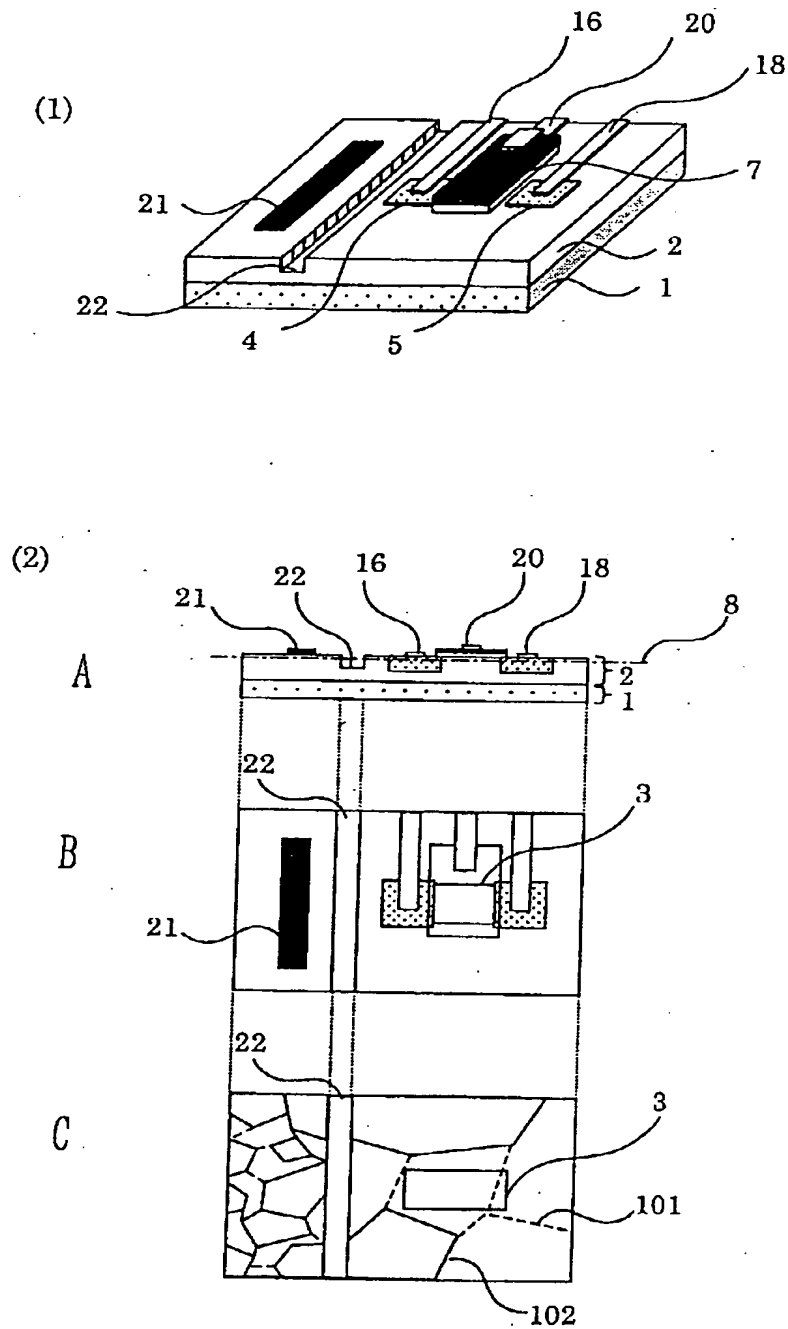
【図 5 B】

図 5 B



【図 6】

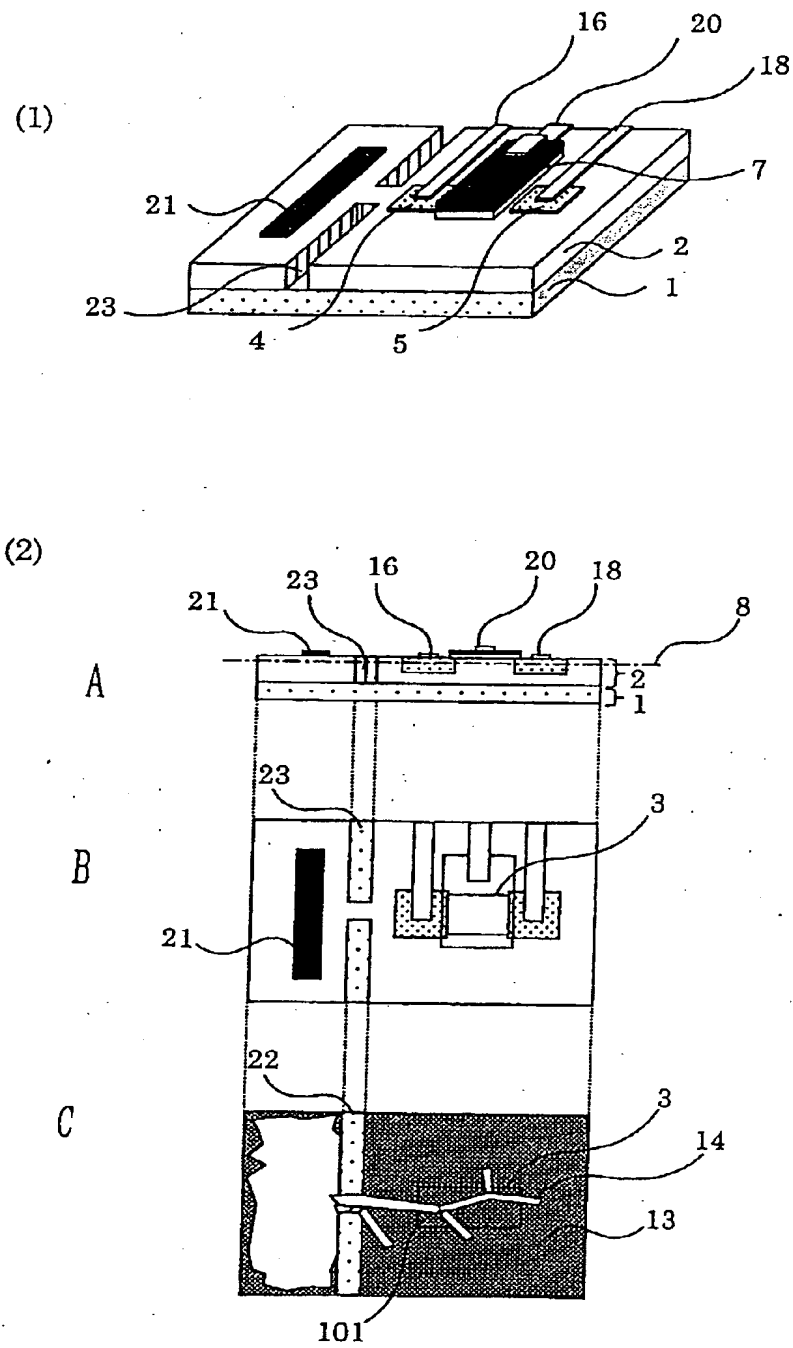
図 6





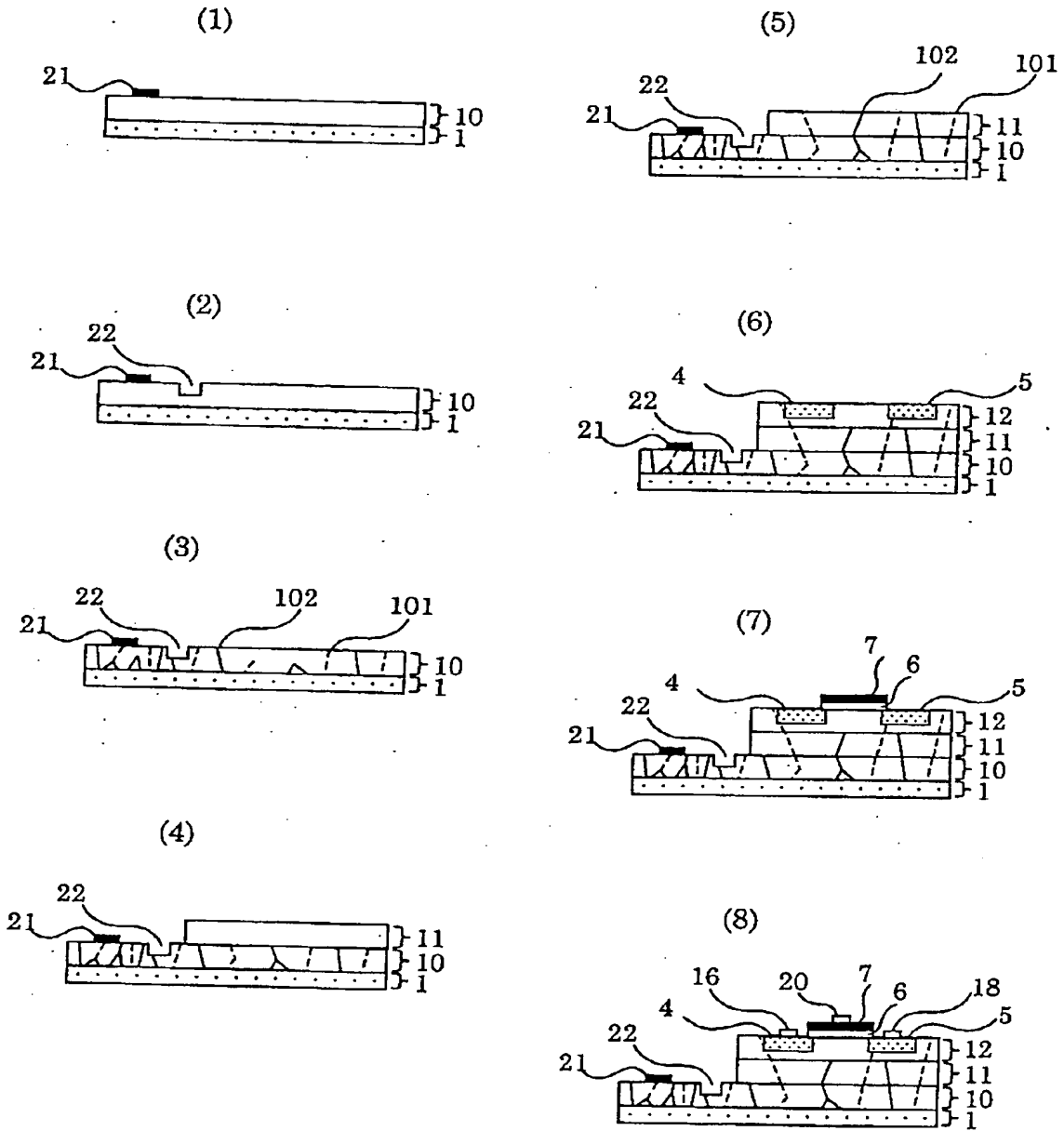
【図 7】

図 7



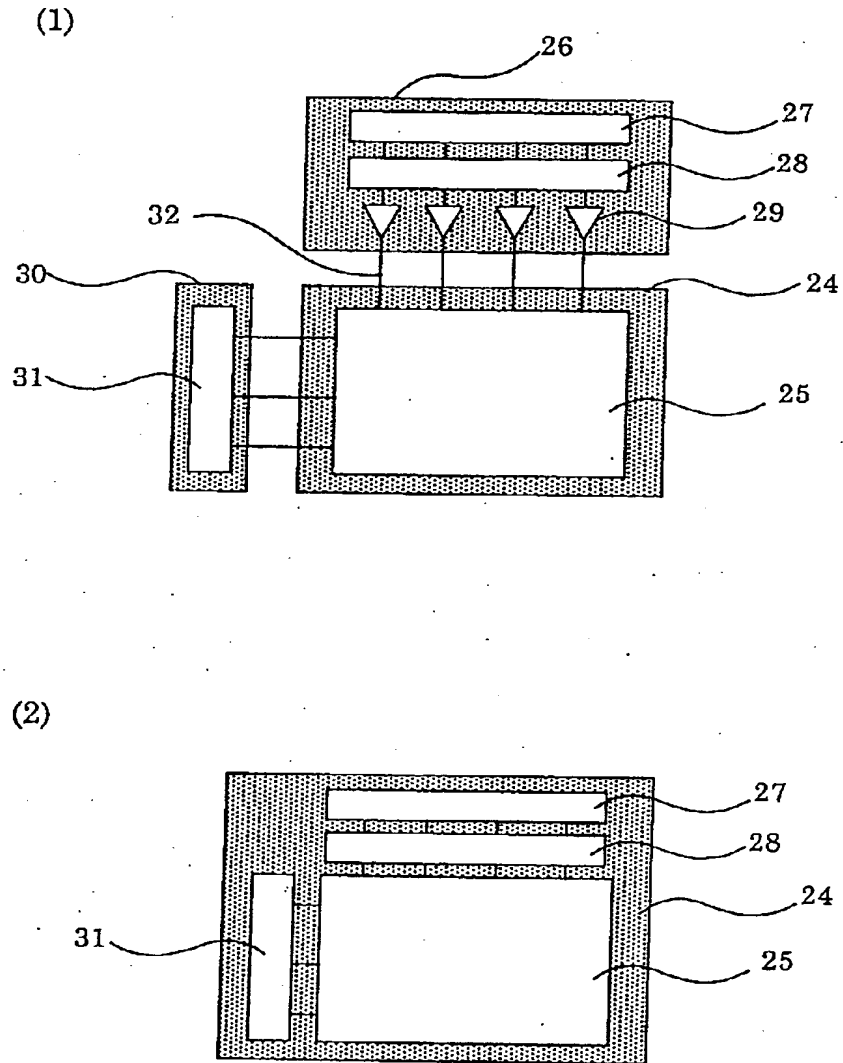
【図 8】

図 8



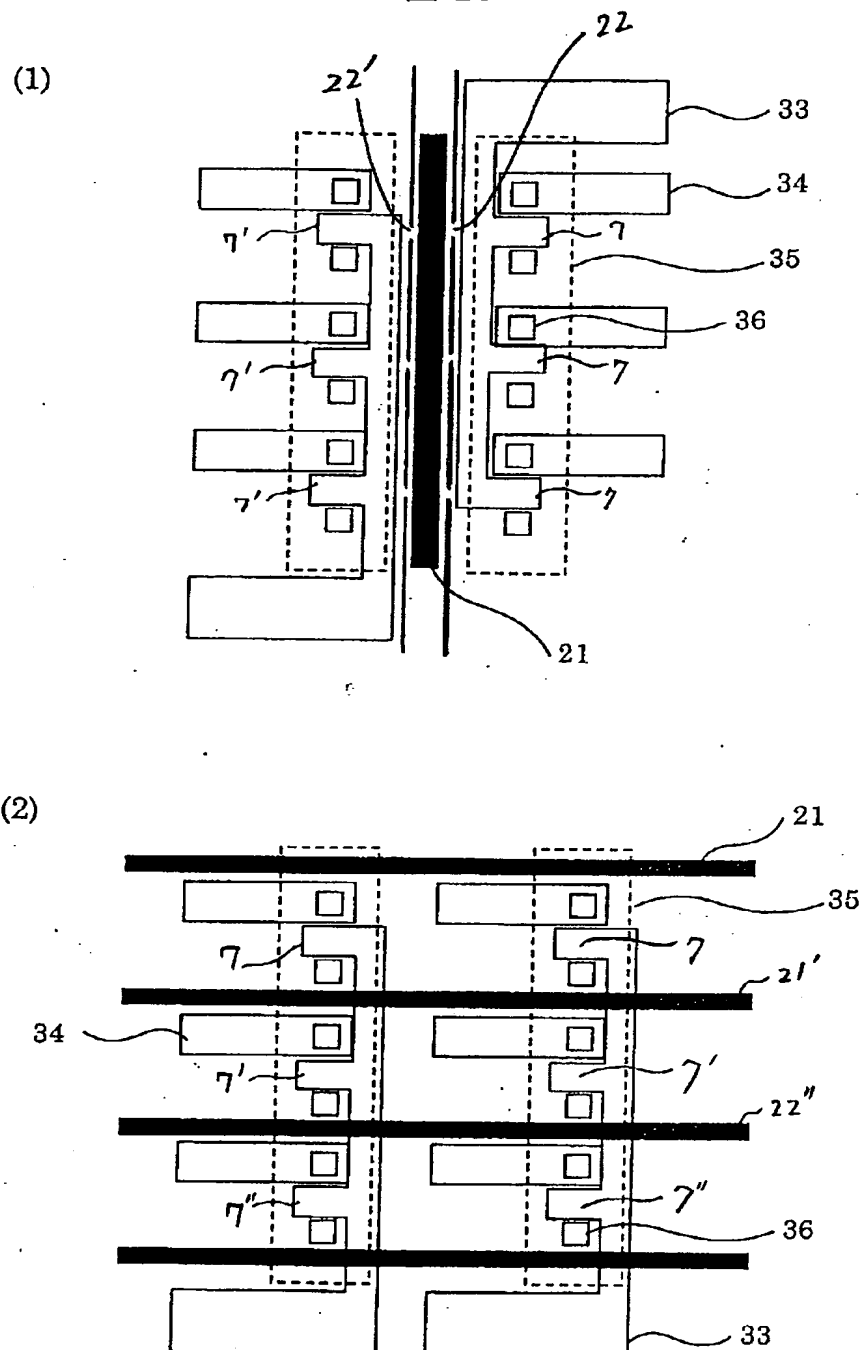
【図 9】

図 9



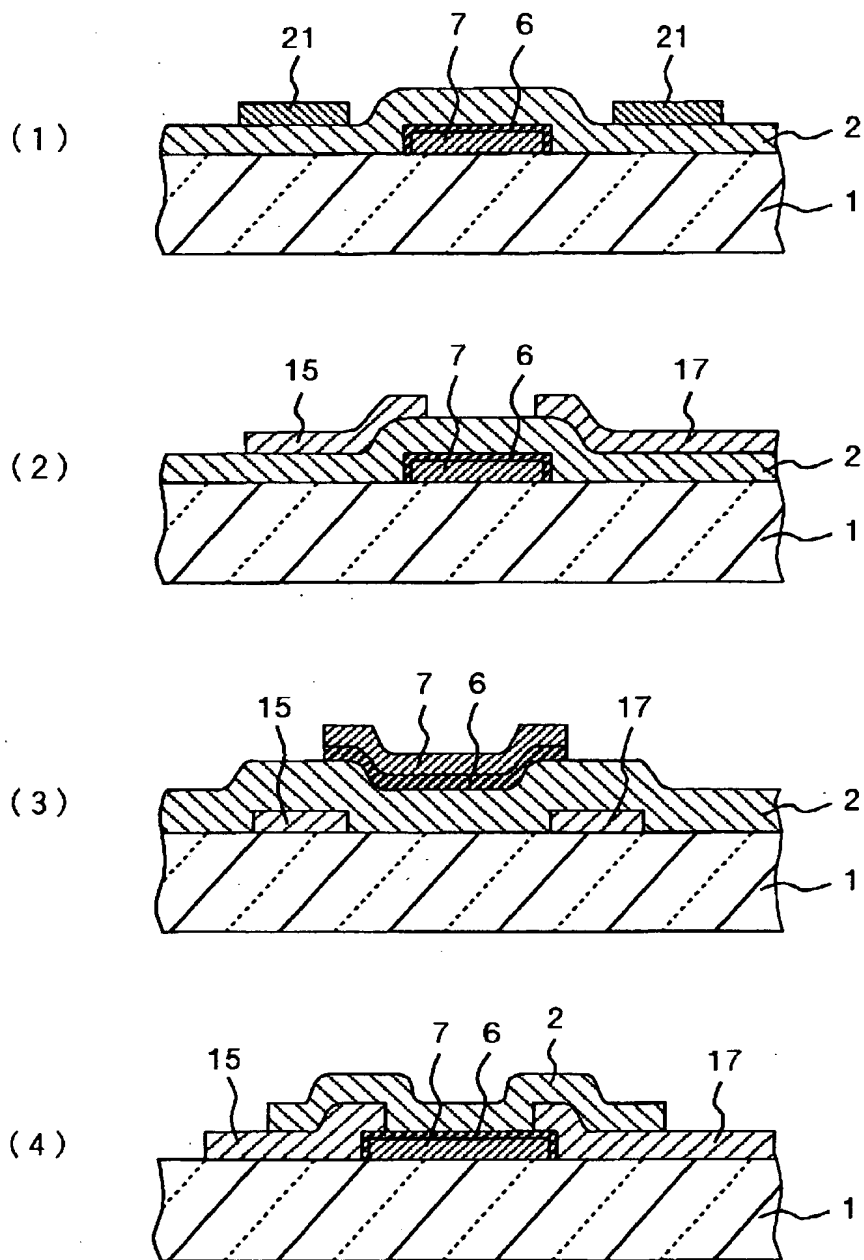
【図 10】

図 10



【図 11】

図 11



【書類名】 要約書

【要約】

【課題】 ガラス基板を用いた大画面の液晶表示装置を実現するために、高い電子移動度を有し特性の製造ばらつきが少ない改良された低温多結晶薄膜の T F T を提供する。

【解決手段】 ダイヤモンド構造の  $\{111\}$  双晶粒界で接合した多結晶粒で構成した半導体薄膜（擬似的な単結晶薄膜と称する）を T F T のチャンネル領域（即ち、活性領域）として活用することによって、高い電子移動度を有する T F T を所望の特性ばらつきの範囲内で再現性良く実現できる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所